**Laboratuvar Çalışması 0x3**

Sıralı Mantık Tasarım

Bu labın amacı

* Donanım tanıma dillerini (DTD) kullanarak devre tasarımı yapmak.
* Sıralı mantık devreleri oluşturabilmek.
* Devrelerin çalışma prensiplerine ve isterlere göre çalıştığını doğrulamak için senaryo oluşturup onları test edebilmek.

### Problem 1 - Serbest sayıcı devresi

Bu problemde devre aktif iken (**en** sinyali) her clock rising edge de **yon** girişine bağlı olarak 0 sayısından verilen **psc** değerine veya **psc** değerinden 0 a kadar sayıp, hedefe ulaştığında **tick** sinyali oluşturan bir devre tasarlayacaksınız. (Aşağı/yukarı sayıcı)

* Devrenin disable edilmesi registerlarınızı değiştirmeyecek fakat sayma işlemini donduracak.
* Devre geri active edildiğinde, o anda registerların değeri neyse aynı şekilde çalışmaya devam edecek.
* **psc** sinyalini 8 bitlik alınız. Ayrıca bir active-low reset sinyali ekleyip, reset geldiğinde counterınızı 0 layınız. Örnek modül portları aşağıda verilmiştir. Modülünüz için basit bir testbench oluşturup, birkaç farklı psc değerlerine göre test ediniz.
* **yon** girişi 0 ise yukarı doğru, 1 ise aşağı doğru sayınız.

1. Devreyi HDL ile tasarlayın
2. Farklı psc, yon, en ve reset girişlerine göre testbench oluşturarak, devrenin farklı kombinasyonlarda doğru çalıştığını gözlemleyin.
3. Devreyi Quartus’da sentezleyerek devrenin ne kadar yer kapladığını (resource utilization report), sentezlenen RTL ve eşleştirme ardı devre şemalarını ekleyerek **yorumlayınız**.

**Örnek olarak:**

psc = 100

yon = 0

0, 1, 2, 3, 4, 5, 6, …. 99, 100, 0, 1, 2, 3, 4, 5, …

tick

psc = 100

yon = 1

100, 99, 98, 97, 96, 95, … 1, 0, 100, 99, 98, 97, …

tick

module p1 (

input logic clk, reset, en,

input logic yon,

input logic [7:0] psc,

output tick

);